

Razpoznavanje preko kamere zajete laserske točke z vezjem FPGA

Rihtar Gregor

mag. Tomaž Romih, doc.dr. Peter Planinšič (mentorja)

Fakulteta za elektrotehniko, računalništvo in informatiko Maribor

Smetanova ulica 17, 2000 Maribor

gregor.rihtar@uni-mb.si

By camera captured laser point recognition using FPGA

FPGA circuits (Field Programmable Gate Arrays) have been recently gaining on popularity. Their speed, great computing capacity and simplicity are features that make these circuits highly appropriate for video processing of data in real time. In our case, video data resp. image/video signals have been processed.

FPGA devices are a focal technology for graphic development of systems.

1 Uvod

V zadnjih letih dobivajo vezja FPGA (Field Programmable Gate Arrays) vedno več privržencev. Njihova hitrost, velika računsko zmogljivost in enostavnost so lastnosti, zaradi katerih so zelo primerna za video obdelavo podatkov v realnem času. V našem primeru smo procesirali video podatke, oz. video signale.

FPGA naprave so osrednja tehnologija za grafičen razvoj sistemov. FPGA naprava vsebuje matrico programabilnih logičnih vrat. Za razliko od procesorjev, FPGA naprave dobesedno preprogramirajo svoje notranje vezje za optimalno izvajanje procesorske logike. Omogočajo tudi natančno sinhronizacijo in usklajevanje, hitro odločanje in simultano izvajanje vzporednih nalog znotraj enega čipa, ki ga je preko ustrezne programske opreme možno v popolnosti programirati. Programiranje v grafičnem okolju, kjer bi zlagali funkcijske bloke, je pri obsežnih projektih nemogoče, zato sta na razpolago dva programska jezika: Verilog in VHDL (Very High Speed Integrated Circuit Hardware Description Language). Vseeno je, za

kateri programski jezik se bomo odločili, z obema se načeloma da narediti »vse«.

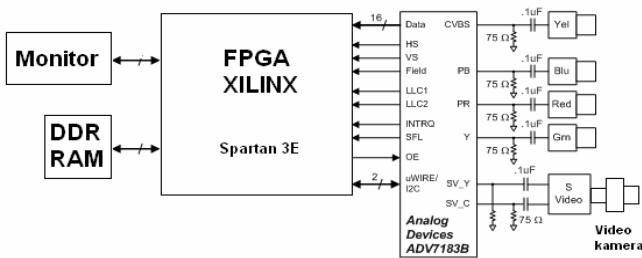
2 Shema električnega vezja

Sistem za obdelavo slike je zgrajen iz razvojne ploščice Xilinx Spartan3E in video kodek kartice podjetja Digilent, na kateri se nahaja analogno digitalni pretvornik Analog Devices ADV7183B. Na razvojni ploščici se nahaja FPGA XC3S500E-4FG320C. Število 500 pomeni da se v njem nahaja 500.000 programljivih logičnih vrat, FG320 pa pomeni tip podnožja FPGA vezja. Razvojna ploščica deluje na frekvenci 50 MHz, kar je še ravno dovolj za zajemanje in prikazovanje slike. FPGA vezja imajo tudi svoj pomnilnik, ki se nahaja v večih blokih in je precej hiter. Za zajem bitne slike je tega spomina dovolj, če pa želimo sliko zajeti v sivinah ali pa celo v barvah, potrebujemo zmogljivejše FPGA vezje ali pa tako kot v našem primeru, uporabimo zunanji pomnilnik.

Preko video kompozitnega vhoda je na sistem priključena barvna kamera, ki ima ločljivost 640x480 točk in je formata PAL. Sistem prikazuje slika 1.

S pomočjo video kartice se slika zajame in se nato shrani v pomnilnik DDR-RAM, od koder se kasneje bere in obdeluje.

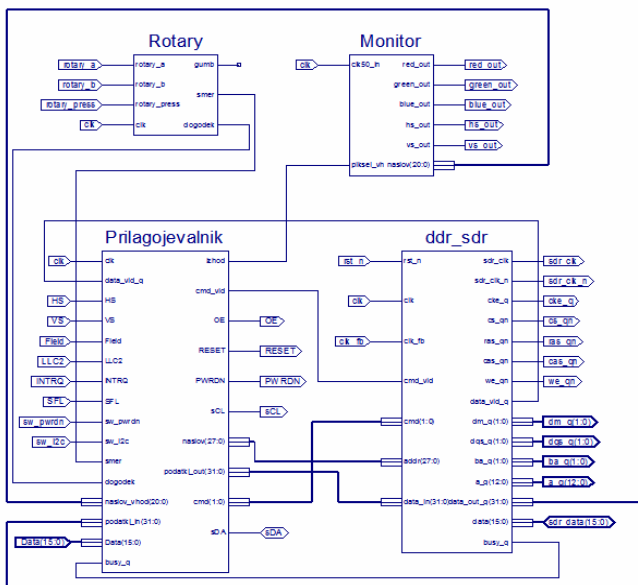
Na razvojni ploščici se nahaja FPGA vezje Spartan-3E (XC3S500E-4FG320C), 64 MByte DDR SDRAM podjetja Micron, vrtljiv gumb, 8 led diod in razni drugi elementi, ki jih pri tem projektu nisem potreboval. XCS500E vsebuje 500000 sistemskih vrat 10467 logičnih celic, 360 Kb internega spomina, 20 množilnikov in 4 DCM časovne enote.



Slika1: Električna shema vezja

3 Program aplikacije

Program je sestavljen iz več podprogramov, ki so v glavnem nivoju povezani v celoto. Programski paket Xilinx ISE namreč omogoča da posamezne programe, ki recimo krmilijo določene sklope, kar v grafičnem shematskem okolju med seboj logično povežemo v zaključeno celoto.



Slika 2: Shematski prikaz aplikacije

Program vezja obsega naslednje programe (podprograme):

- program Rotary, ki je namenjen za nastavljanje nivoja bitne slike, skrbi za

pravilno delovanje vrtljivega gumba, ki se nahaja na razvojni ploščici Spartan3E

- program Monitor, ki je potreben za branje podatkov iz pomnilnika DDR-RAM in prikaz le teh na računalniškem zaslonu
- program DDR-RAM, ki skrbi za komunikacijo z DDR-RAM pomnilnikom
- program Prilagojevalnik, ki vse zgoraj omenjene programske module povezuje v celoto

Podprogram Prilagojevalnik je namenjen povezovanju vseh ostalih modulov. Najprej izvede programiranje video kartice preko I2C vodila, sledi njeno resetiranje, nato prične video podatke zajemati in jih shranjevati v pomnilnik DDR-RAM. Ko shrani celotno sliko, se prične razpoznavanje in prikazovanje slike, zato podatke bere iz pomnilnika DDR-RAM, in jih pošlje v podprogram Monitor.

V program Monitor pa je vključen tudi del programa za razpoznavo in določanje položaja laserske pike. Razpoznavanje deluje na naslednjem principu: pred kamero je nameščen svetlobni filter, ki iz slike že takoj odstrani vse nepotrebne svetle lise. Nato nastavimo pravilen nivo dvonivojske (binarne) slike, nakar program izračuna težišče vseh osvetljenih pik na sliki. Na računalniškem zaslonu prikaže zajeto bitno sliko in obe težiščnici, položaj laserske pike pa je s tem določen. Enačbi za izračun težišča:

$$T_x = \frac{\sum_{i=1}^N x_i}{N} \quad (1)$$

$$T_y = \frac{\sum_{i=1}^N y_i}{N} \quad (2)$$

Program DDR-RAM pa je bolj zapleten in je napisan v več nivojih. Posebnost pomnilnika DDR je v tem, da ima zelo majhne izgube in posledično majhno porabo, ga je pa potrebno nenehno osveževati. Zaradi zelo zapletenega

delovanja, smo se odločili, da napišemo kar v programu DDR-RAM ustrezen vmesnik, ki bo omogočal enostavno komunikacijo s programom Prilagojevalnik, torej čim manj krmilnih signalov.

Rezultat celotnega programa je razpoznavanje laserske pike v realnem času.

4 Primer programa

Primer programa v VHDL jeziku, ki je potreben za pravilno delovanje vrtečega gumba, ki se nahaja na razvojni ploščici podjetja Xilinx:

```
smer: process(clk)
begin
  if clk'event and clk='1' then
    delay_rotary_q1 <= rotary_q1;
    if rotary_q1='1' and delay_rotary_q1='0' then
      rotary_dogodek <= '1';
      rotary_levo <= rotary_q2;
    else
      rotary_dogodek <= '0';
      rotary_levo <= rotary_levo;
    end if;
  end if;
end process smer;
```

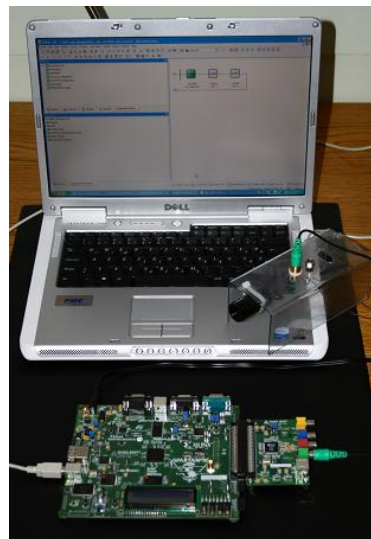
Del programa predstavlja procesni blok. Vse spremenljivke so definirane kot »signal«, kar pomeni, da se njihovo stanje obnovi z zakasnitvijo enega urinega takta.

Signal rotary_q1 nakaže, da se je na vrtljivem gumbu zgodila sprememba, signal rotary_q2 pa pove, v katero smer je bil gumb zavrten. Proces je sinhroniziran na zunanjo uro »clk«.

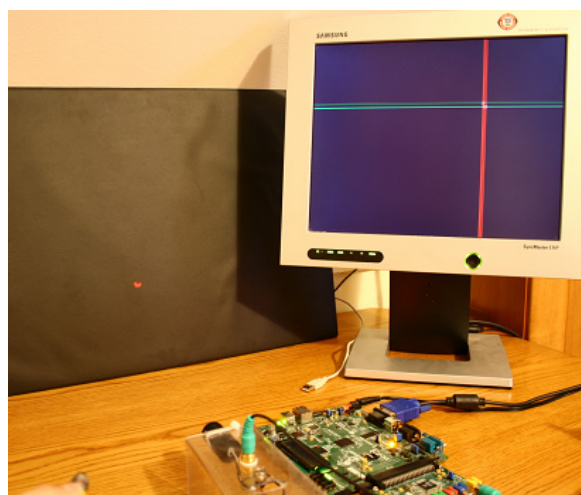
5 Slike z rezultati poizkusov

Slika 3 prikazuje razvojno ploščico podjetja Xilinx (levo spodaj), video vmesnik (desno spodaj), barvno kamero in računalnik, ki skrbi za programiranje.

Slika 4 pa prikazuje praktično uporabo vezja. Z laserjem projekcira točko na temno podlago, nakar jo prikažemo na zaslonu, kjer se vidita tudi težiščnici.



Slika 3: Celoten sistem z računalnikom



Slika 4: Razpoznavanje laserske točke

6 Zaključek

Skozi ta projekt smo zaznali veliko računsko oz procesno moč, ki jo ponujajo vezja FPGA. Njihova uporaba je možna skoraj v vseh aplikacijah, kjer seveda to cena dovoljuje. Njihova prednost je pa tudi v njihovi prilagodljivosti, saj lahko kar v programu izberemo, za kakšne nivojev vhodov in izhodov gre. To seveda omogoča lahko povezljivost z drugimi sistemi brez dodatnih prilagojevalnih elementov.

7 Literatura

- [1] Andrej Trost, *Načrtovanje strojne in programske opreme za digitalne sisteme z vezji FPGA*, Fakulteta za elektrotehniko v Ljubljani, Ljubljana 2006.
- [2] Franci Kopač, Andrej Trost, »Sistematični pristop k segmentaciji slike v realnem času z vezji FPGA«, *Informacije MIDEEM*, letnik 35, št. 1(113), Ljubljana, marec 2005, str. 13-19
- [3] http://www.xilinx.com/products/design_resources/memory_corner/, Memory solutions

8 Zahvala

Avtor se zahvaljuje mag. Tomažu Romihu za nesebično pomoč pri razjasnjevanju nekaterih teoretičnih konceptov in dr. Petru Planinšiču za nasvete in konstruktivne kritike pri nastanku tega dela.